

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
4. Oktober 2001 (04.10.2001)

PCT

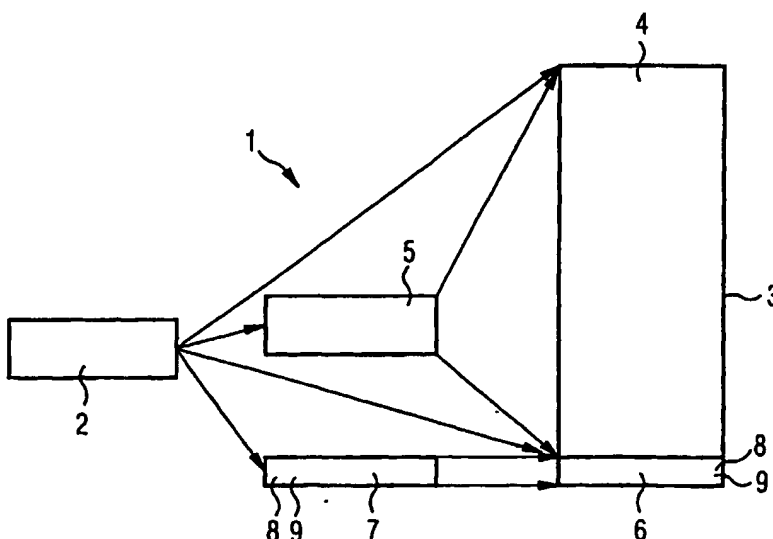
(10) Internationale Veröffentlichungsnummer  
**WO 01/73552 A2**

- |   |   |
|---|---|
| <p>(51) Internationale Patentklassifikation: <b>G06F 9/48</b></p> <p>(21) Internationales Aktenzeichen: <b>PCT/DE01/01067</b></p> <p>(22) Internationales Anmeldedatum:<br/>20. März 2001 (20.03.2001)</p> <p>(25) Einreichungssprache: <b>Deutsch</b></p> <p>(26) Veröffentlichungssprache: <b>Deutsch</b></p> <p>(30) Angaben zur Priorität:<br/>100 15 693.2      29. März 2000 (29.03.2000)      <b>DE</b></p> <p>(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): <b>FUJITSU SIEMENS COMPUTERS GMBH</b><br/>[DE/DE]; Otto-Hahn-Ring 6, 81739 München (DE).</p> | <p>(72) Erfinder; und<br/>(75) Erfinder/Anmelder (nur für US): <b>DEMHARTER, Nikolaus</b> [DE/DE]; Sachsenstrasse 6, 86507 Oberottmarshausen (DE).</p> <p>(74) Anwalt: <b>EPPING HERMANN &amp; FISCHER</b>; Postfach 12 10 26, 80034 München (DE).</p> <p>(81) Bestimmungsstaat (national): <b>US</b>.</p> <p>(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).</p> <p><b>Veröffentlicht:</b><br/>— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts</p> |
|---|---|

[Fortsetzung auf der nächsten Seite]

(54) Title: ARRANGEMENT AND METHOD FOR REDUCING THE PROCESSING TIME OF A DATA PROCESSING DEVICE

(54) Bezeichnung: ANORDNUNG UND VERFAHREN ZUR REDUZIERUNG DER VERARBEITUNGSZEIT EINER DATEN-VERARBEITUNGSEINRICHTUNG



(57) Abstract: The present invention relates to a data processing device (1) comprising a processor (2) and a memory (3) which consists of a first memory region (4) and a second memory region (6). A first cache (5) is arranged for the first memory region (4) and a second cache (7) is arranged for the second memory region (6). The second cache (7) intermediately stores predetermined and selected subprograms, interrupt vectors (8) and interrupt handlers (9) in said second cache (7). Said subprograms, interrupt vectors (8) and interrupt handlers (9) are usually stored in the second memory region (6) which is a ROM memory or a RAM memory for instance. In an advantageous embodiment, displacement cycles do not take place in the second cache (7).

[Fortsetzung auf der nächsten Seite]

WO 01/73552 A2

## WO 01/73552 A2



*Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

**(57) Zusammenfassung:** Die vorliegende Erfindung betrifft eine Datenverarbeitungseinrichtung (1) mit einem Prozessor (2) und einem Speicher (3). Der Speicher (3) besteht aus einem ersten Speicherbereich (4) und einem zweiten Speicherbereich (6), wobei für den ersten Speicherbereich (4) ein erster Cache (5) und für den zweiten Speicherbereich (6) ein zweiter Cache (7) angeordnet ist. Der zweite Cache (7) hat die Aufgabe vorbestimmte und ausgewählte Unterprogramme, Interrupt-Vektoren (8) und Interrupt-Handler (9), die üblicherweise in dem zweiten Speicherbereich (6) gespeichert werden, der beispielsweise ein ROM-Speicher oder ein RAM-Speicher ist, in dem zweiten Cache (7) zwischenspeichern. Vorteilhafterweise finden in dem zweiten Cache (7) keine Verdrängungszyklen statt.

WO 01/73552

PCT/DE01/01067

1

## Beschreibung

Anordnung und Verfahren zur Reduzierung der Verarbeitungszeit einer Datenverarbeitungseinrichtung

5

Die vorliegende Anmeldung betrifft eine Anordnung und ein Verfahren, das dazu geeignet ist, die Verarbeitungszeit einer Datenverarbeitungseinrichtung zu reduzieren.

- 10 Datenverarbeitungseinrichtungen werden zur Bearbeitung von Daten, sowie zur Steuerung, Regelung und Analyse von Eingangs- und Ausgangssignalen verwendet. Während des Betriebs einer Datenverarbeitungseinrichtung, die üblicherweise einen Prozessor und einen Speicher aufweist, treten sogenannte Interrupts auf. Dabei handelt es sich um Signale, die dem Prozessor ein Ereignis anzeigen. Bei den Ereignissen handelt es sich beispielsweise um Zustände, Ergebnisse oder Ereignisse, die sowohl innerhalb des Prozessors beziehungsweise der CPU (Central Processing Unit) als auch außerhalb der CPU erzeugt werden und die Ausführung einer speziellen Routine als Reaktion auf das Ereignis erfordern. Bei der speziellen Routine handelt es sich um die Interruptroutine, deren Startadresse als sogenannter Interrupt-Vektor an einer vorgegebenen Speicheradresse des Speichers gespeichert ist. Zusätzlich werden
- 20 sogenannte Interrupt-Handler eingesetzt, bei denen es sich um kleine Programmsegmente handelt, die nach Auslösung eines Interrupts ausgeführt werden um zum Beispiel die Quelle des Interrupts zu bestimmen.
- 30 Da Interrupt-Vektoren auch während des Kaltstarts beziehungsweise Warmstarts einer Datenverarbeitungseinrichtung gültig sein müssen, werden sie in einem nicht flüchtigen Speicherbereich wie einem ROM (Read Only Memory) abgelegt. Ein ROM hat allerdings den Nachteil, daß die Zugriffszeit auf ihn sehr
- 35 lang ist, was zu erheblichen Interrupt-Latenzzeiten führt.

WO 01/73552

PCT/DE01/01067

2

Daher ist zum Beispiel in "ARM Training Material: Technical Training Course 1999, Chapter 16 und Chapter 19" vorgeschlagen, nach dem Start der Datenverarbeitungseinrichtung die Interrupt-Vektoren in einen schnelleren RAM-Bereich (Random Access Memory) zu kopieren und anschließend diesen Bereich über den ursprünglich vom ROM belegten Adreßbereich zu legen. Bei dieser Vorgehensweise wird auch davon gesprochen, daß der RAM-Bereich an die Stelle des ursprünglichen ROM-Bereichs gemappt wird. Durch dieses Vorgehen ist es möglich, die Interrupt-Latenzzeit in etwa zu halbieren.

Es ist die Aufgabe der Erfindung eine Anordnung und ein Verfahren anzugeben, wodurch die Bearbeitungszeit einer Datenverarbeitungseinrichtung weiter reduziert wird.

Erfindungsgemäß wird die Aufgabe gelöst durch eine Datenverarbeitungseinrichtung mit:

- einem Prozessor;
- einem Speicher, der mit dem Prozessor verbunden ist und einen ersten Speicherbereich und einem zweiten Speicherbereich aufweist;
- einem ersten Cache, der den ersten Speicherbereich abbildet und einen Teil des ersten Speicherbereichs zwischenspeichert;
- einem zweiten Cache, der den zweiten Speicherbereich abbildet und zwischenspeichert,
- wobei der zweite Cache die gleiche Speicherkapazität aufweist wie der zweite Speicherbereich und
- wobei der zweite Speicherbereich ein RAM, ein ROM, ein EPROM oder ein EEPROM ist.

Durch diese Anordnung ist es möglich, zwei separate Cachespeicher zu verwenden, von denen einer beispielsweise zur Speicherung der Interrupt-Vektoren und Interrupt-Handlern geeignet ist und der andere Cache in herkömmlicher Weise für die Zwischenspeicherung des Hauptspeichers eingesetzt werden kann. Ein Cache ist dabei ein im Vergleich zum Arbeitsspei-

WO 01/73552

PCT/DE01/01067

3

cher kleiner und schneller Speicher, der Daten aus dem großen und langsameren Hauptspeicher zwischenspeichert. Üblicherweise finden in dem Cache Verdrängungszyklen statt, da der Cache viel kleiner ist als der zwischen zu speichernde Hauptspeicher. Durch die Speicherung der Interrupt-Vektoren und Interrupt-Handler in einem Cache wird gewährleistet, daß die Bearbeitungszeit eines Interrupts wesentlich verkürzt wird.

10 In einer Ausgestaltung der erfindungsgemäßen Anordnung ist vorgesehen, daß in dem zweiten Cache ein Interrupt-Vektor gespeichert ist. Durch diese Anordnung ist es möglich, den gesamten zweiten Speicherbereich in dem zweiten Cache zwischen zu speichern und dadurch die Interrupt-Vektoren für schnelle Speicherzugriffe bereit zu halten.

15 In einer weiteren Ausgestaltung der erfindungsgemäßen Anordnung ist vorgesehen, daß in dem zweiten Cache ein Interrupt-Handler gespeichert ist. Durch diese Anordnung ist es möglich, den gesamten zweiten Speicherbereich in dem zweiten  
20 Cache zwischen zu speichern und dadurch die Interrupt-Handler für schnelle Speicherzugriffe bereit zu halten.

Weiterhin ist vorgesehen, daß die Speicherkapazität des ersten Cache kleiner ist als die Speicherkapazität des ersten Speicherbereiches. Durch diese Ausführung kann in kostensparender Weise ein Cache verwendet werden, der wesentlich kleiner als der erste Speicherbereich ist. Dadurch ist es allerdings erforderlich, daß in dem Cache sogenannte Verdrängungszyklen stattfinden, wobei die in dem Cache zwischengespeicherten Daten, die nicht mehr benötigt werden, durch andere  
30 Daten aus dem Hauptspeicher ersetzt werden, die momentan in der CPU verarbeitet werden.

In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, daß der Prozessor ein Prozessor der Firma ARM ist. Diese Anordnung ermöglicht die Verwendung der gesamten Prozessorfamilie der Firma ARM die zum Beispiel den Prozessor ARM7 umfaßt.

WO 01/73552

PCT/DE01/01067

4

Es ist vorgesehen, daß der zweite Speicherbereich ein ROM, ein EPROM oder ein EEPROM ist. Durch diese Anordnung ist gewährleistet, daß nach einem Kaltstart beziehungsweise Warmstart in dem zweiten Speicherbereich und dem zweiten Cache Interrupt-Vektoren und Interrupt-Handler bereitstehen.

Bezüglich des Verfahrens wird die Aufgabe gelöst durch ein Verfahren zum Betrieb einer Datenverarbeitungseinrichtung mit den Schritten:

- Bereitstellen einer Datenverarbeitungseinrichtung, die einen Prozessor und einen Speicher umfaßt,
- wobei der Speicher einen ersten Speicherbereich und einen zweiten Speicherbereich aufweist;
- abbilden des ersten Speicherbereichs auf einen ersten Cache;
- zwischenspeichern eines Teils des ersten Speicherbereichs in dem ersten Cache;
- abbilden des zweiten Speicherbereichs auf einen zweiten Cache;
- zwischenspeichern des zweiten Speicherbereichs in dem zweiten Cache,
- wobei der zweite Cache die gleiche Speicherkapazität aufweist wie der zweite Speicherbereich und
- wobei in dem zweiten Cache keine Verdrängungszyklen stattfinden;
- auswählen eines Programmcode-Segments, das in dem zweiten Speicherbereich gespeichert wird.

Das erfindungsgemäße Verfahren bildet den ersten Speicherbereich auf den ersten Cache ab. Da der erste Speicherbereich größer ausgebildet ist als der erste Cache, wird nur ein Teil des ersten Speicherbereichs in den ersten Cache zwischengespeichert und es finden Verdrängungszyklen statt. Die Daten des ersten Speicherbereichs werden dabei in dem ersten Cache gespeichert, wobei es sich beispielsweise um einen Programmcode handelt. Die Interrupt-Vektoren und die Interrupt-

WO 01/73552

PCT/DE01/01067

5

Handler sowie speziell ausgewählte und vorbestimmte Routinen sind beispielsweise in dem zweiten Speicherbereich gespeichert, der durch einen zweiten Cache zwischengespeichert wird. Durch dieses Verfahren wird ein schneller Zugriff auf  
5 spezielle Routinen und Werte ermöglicht. Der zweite Speicherbereich ist beispielsweise so groß gebildet, wie der zweite Cache, so daß in ihm keine Verdrängungszyklen stattfinden.

Ein weiterer Verfahrensschritt sieht vor, daß das Programmcode-Segment eine Subroutine ist.  
10

Weiterhin ist vorgesehen, daß der zweite Speicherbereich ein RAM, ein ROM, ein EPROM oder ein EEPROM ist.

Ein weiterer Verfahrensschritt sieht vor, daß in dem zweiten Cache ein Interrupt-Vektor gespeichert wird.  
15

Weiterhin ist vorgesehen, daß in dem zweiten Cache ein Interrupt-Handler gespeichert wird.  
20

In einem weiteren vorteilhaften Verfahrensschritt ist vorgesehen, daß in dem zweiten Cash keine Verdrängungszyklen stattfinden. Durch dieses Verfahren wird sichergestellt, daß die Interrupt-Vektoren beziehungsweise Interrupt-Handler ohne  
25 Zeitverzögerung direkt in dem zweiten Cache für den Prozessor bereitgehalten werden.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der jeweiligen Unteransprüche.  
30

Nachfolgend wird die Erfindung anhand von einem Ausführungsbeispiel und einer Figur näher erläutert.

In der Figur ist eine Datenverarbeitungseinrichtung 1 dargestellt. Die Datenverarbeitungseinrichtung 1 besteht aus einem  
35 Prozessor 2 und einem Speicher 3. Der Speicher 3 ist in einen ersten Speicherbereich 4 und einen zweiten Speicherbereich 6

WO 01/73552

PCT/DE01/01067

6

aufgeteilt. In diesem Ausführungsbeispiel ist der erste Speicherbereich 4, der den Hauptspeicher bildet, wesentlich größer als der zweite Speicherbereich 6. Bei dem zweiten Speicherbereich 6 handelt es sich in diesem Fall um einen ROM-Speicher, der Betriebsdaten bereithält, die zum Beispiel für einen Kaltstart oder einen Reset benötigt werden. Der erste Speicherbereich 4 ist beispielsweise ein RAM-Speicher, der während des Betriebs der Datenverarbeitungseinrichtung 1 zum Speichern von Programmsegmenten und Daten verwendet wird. In diesem Ausführungsbeispiel wird der erste Speicherbereich 4 in einem ersten Cache 5 zwischengespeichert. Der zweite Speicherbereich 6 wird in einem zweiten Cache 7 zwischengespeichert. In dem zweiten Speicherbereich 6 sind zum Beispiel Interrupt-Vektoren 8 und Interrupt-Handler 9 gespeichert. Der zweite Cache 7 hat dabei den Vorteil, daß er für die Software, die auf der Datenverarbeitungseinrichtung 1 abläuft, transparent ist und daher keine spezielle Programmierung seitens der Softwareentwickler erfordert. Ein Cache ist dabei ein kleiner schneller Speicher, der Daten aus dem vergleichsweise großen und langsamen Hauptspeicher zwischenspeichert. Da für die Interrupt-Vektoren 8 ein separater zweiter Cache 7 verwendet wird ist gewährleistet, daß die Interrupt-Vektoren 8 nicht durch andere Daten in dem zweiten Cache 7 verdrängt werden. Verdrängungszyklen finden nicht statt, da der zweite Cache 7 die gleiche Speicherkapazität aufweist wie der zweite Speicherbereich 6. Im Gegensatz dazu finden in dem ersten Cache 5 Verdrängungszyklen statt, die stets die aktuell vom Prozessor benötigten Daten aus dem ersten Speicherbereich 4 in den ersten Cache 5 kopieren und dort momentan nicht mehr benötigte Daten verdrängen. Die Vermeidung von Verdrängungszyklen in dem zweiten Cache 7 beschleunigt die Bearbeitungszeit der Datenverarbeitungseinrichtung 1 erheblich für die gespeicherten Daten und Routinen. Bereits realisierte Größen des zweiten Cache 7 sind zum Beispiel 256 Byte und 1024 Byte groß.



WO 01/73552

PCT/DE01/01067

7

Ein Verfahren zum Betrieb der in der Figur dargestellten Datenverarbeitungseinrichtung 1 sieht vor, daß in dem zweiten Speicherbereich 6, der als ROM-Speicher gebildet ist, vorbestimmte und ausgewählte Unterprogramme, Interrupt-Vektoren 8 und Interrupt-Handler 9 gespeichert werden. Bei einem Kaltstart oder einem Reset der Datenverarbeitungseinrichtung 1 stehen somit die in dem zweiten Speicherbereich 6 gespeicherten Interrupt-Vektoren und Interrupt-Handler zur Verfügung. Während des Betriebs wird der erste Speicherbereich 4 durch den ersten Cache 5 zwischengespeichert und der zweite Speicherbereich 6 durch den zweiten Cache 7 zwischengespeichert. Greift der Prozessor 2 auf den Hauptspeicher zu, so wird zunächst im ersten Cache 5 beziehungsweise im zweiten Cache 7 nachgesehen, ob die Daten dort vorliegen. Ist dies der Fall, so spricht man von einem Cache-Hit, ist dies nicht der Fall so handelt es sich um einen Cache-Miss. Bei einem Cache-Miss werden nun weitere Aktionen in der Datenverarbeitungseinrichtung 1 durchgeführt, wobei die Daten aus dem Hauptspeicher gelesen und dem Prozessor 2 zugeführt werden. Dabei verstreicht allerdings eine wesentlich längere Zeitspanne, als bei einem Cache-Hit.

WO 01/73552

PCT/DE01/01067

8

### Bezugszeichenliste

- |    |   |                               |
|----|---|-------------------------------|
|    | 1 | Datenverarbeitungseinrichtung |
|    | 2 | Prozessor                     |
| 5  | 3 | Speicher                      |
|    | 4 | erster Speicherbereich        |
|    | 5 | erster Cache                  |
|    | 6 | zweiter Speicherbereich       |
|    | 7 | zweiter Cache                 |
| 10 | 8 | Interrupt-Vektoren            |
|    | 9 | Interrupt-Handler             |

WO 01/73552

9

PCT/DE01/01067

# Patentansprüche

1. Datenverarbeitungseinrichtung (1) mit:
  - einem Prozessor (2);
  - 5 - einem Speicher (3), der mit dem Prozessor (2) verbunden ist und einen ersten Speicherbereich (4) und einem zweiten Speicherbereich (6) aufweist;
  - einem ersten Cache (5), der den ersten Speicherbereich (4) abbildet und einen Teil des ersten Speicherbereichs (4)
  - 10 zwischenspeichert;
  - einem zweiten Cache (7), der den zweiten Speicherbereich (6) abbildet und zwischenspeichert,
  - wobei der zweite Cache (7) die gleiche Speicherkapazität aufweist wie der zweite Speicherbereich (6) und
  - 15 - wobei der zweite Speicherbereich (6) ein RAM, ein ROM, ein EPROM oder ein EEPROM ist.
  
2. Datenverarbeitungseinrichtung nach Anspruch 1,
 

d a d u r c h g e k e n n z e i c h n e t, daß

- 20 in dem zweiten Cache (7) ein Interrupt-Vektor gespeichert ist.
  
3. Datenverarbeitungseinrichtung nach einem der Ansprüche 1 oder 2,
 

d a d u r c h g e k e n n z e i c h n e t, daß

- 25 in dem zweiten Cache (7) ein Interrupt-Handler gespeichert ist.
  
4. Datenverarbeitungseinrichtung nach einem der Ansprüche 1
 

bis 3,

- 30 d a d u r c h g e k e n n z e i c h n e t, daß
- die Speicherkapazität des ersten Cache (5) kleiner ist als die Speicherkapazität des ersten Speicherbereichs (4).

WO 01/73552

10

PCT/DE01/01067

5. Datenverarbeitungseinrichtung nach einem der Ansprüche 1 bis 3,

dadurch gekennzeichnet, daß  
der Prozessor (2) ein Prozessor der Firma ARM ist.

5

6. Verfahren zum Betrieb einer Datenverarbeitungseinrichtung mit den Schritten:

- Bereitstellen einer Datenverarbeitungseinrichtung (1), die einen Prozessor (2) und einen Speicher (3) umfaßt,
- 10 - wobei der Speicher (3) einen ersten Speicherbereich (4) und einen zweiten Speicherbereich (6) aufweist;
- abbilden des ersten Speicherbereichs (4) auf einen ersten Cache (5);
- zwischenspeichern eines Teils des ersten Speicherbereichs  
15 (4) in dem ersten Cache (5);
- abbilden des zweiten Speicherbereichs (6) auf einen zweiten Cache (7);
- zwischenspeichern des zweiten Speicherbereichs (6) in dem zweiten Cache (7),
- 20 - wobei der zweite Cache (7) die gleiche Speicherkapazität aufweist wie der zweite Speicherbereich (6) und
- wobei in dem zweiten Cache (7) keine Verdrängungszyklen stattfinden;
- auswählen eines Programmcode-Segments, das in dem zweiten  
25 Speicherbereich gespeichert wird.

7. Verfahren nach Anspruch 6,

dadurch gekennzeichnet, daß  
das Programmcode-Segment eine Subroutine ist.

30

8. Verfahren nach einem der Ansprüche 6 oder 7,

dadurch gekennzeichnet, daß  
der zweite Speicherbereich (6) ein RAM, ein ROM, ein EPROM  
oder ein EEPROM ist.

WO 01/73552

PCT/DE01/01067

11

9. Verfahren nach einem der Ansprüche 6 bis 8,  
dadurch gekennzeichnet, daß  
in dem zweiten Cache (7) ein Interrupt-Vektor gespeichert  
wird.

5

10. Verfahren nach einem der Ansprüche 6 bis 9,  
dadurch gekennzeichnet, daß  
in dem zweiten Cache (7) ein Interrupt-Handler gespeichert  
wird.

WO 01/73552

PCT/DE01/01067

1/1

